|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **UNIVERSIDADE FEDERAL DE UBERLÂNDIA** | | | | | | | |
| **Faculdade de Computação - Campus Santa Mônica** | | | | | | | |
| **Curso** | Sistemas de Informação | | **Período** | | 2º | **ano** | **Semestre** |
| 2013 | 01 |
| **Disciplina** | GSI008 Sistemas Digitais | | | **Avaliação** | | Prova 2 | **Valor** | 30,00 |
| **Professor (a)** | Dr. rer. nat. Daniel Duarte Abdala | | | | | | **Data** | 17/09/2013 |
| **Aluno (a)** |  | | | | | | **Nota** |  |
| **Matrícula** |  | | **Vista em** | | \_\_\_ /\_\_\_ / \_\_\_\_\_\_ | | **Nota**  **Vista** |  |
|  |  | | **Assinatura** | |  | |  |  |

Observações:

* Prova individual e sem consulta;
* Valor total: 30 pontos;
* A prova terá duração de 100 minutos (19:00 ~ 20:40);
* A prova deve ser respondida a caneta azul ou preta;
* Não é Permitido o uso de calculadoras;
* Questões rasuradas serão anuladas;
* Desligue o celular;
* A interpretação faz parte da prova.

1. (5.0) O display de sete segmentos apresentado ao lado requer que um circuito decodificador seja projetado de modo que um número em binário seja corretamente apresentado. Complete a tabela abaixo na qual é listado sistematicamente quais segmentos devem ser habilitados (nível lógico 1) e quis devem estar desabilitados (nível lógico 0) de modo que os dígitos hexadecimais de 0-F sejam apresentados.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **a** | **b** | **c** | **d** | **e** | **f** | **g** |
| 0 | 0 | 0 | 0 |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 1 |  |  |  |  |  |  |  |
| 0 | 0 | 1 | 0 |  |  |  |  |  |  |  |
| 0 | 0 | 1 | 1 |  |  |  |  |  |  |  |
| 0 | 1 | 0 | 0 |  |  |  |  |  |  |  |
| 0 | 1 | 0 | 1 |  |  |  |  |  |  |  |
| 0 | 1 | 1 | 0 |  |  |  |  |  |  |  |
| 0 | 1 | 1 | 1 |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 0 |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 1 |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 0 |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 1 |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 0 |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 1 |  |  |  |  |  |  |  |
| 1 | 1 | 1 | 0 |  |  |  |  |  |  |  |
| 1 | 1 | 1 | 1 |  |  |  |  |  |  |  |

A seguir apresente a soma de produtos da coluna destacada e simplifique estes utilizando o método do mapa de Veitch-Karnaugh.

|  |
| --- |
| Soma de Produtos:  d = |
|  |
| Simplificação: |

A seguir construa o circuito decodificador apenas para a saída “d” simplificada.

|  |
| --- |
|  |

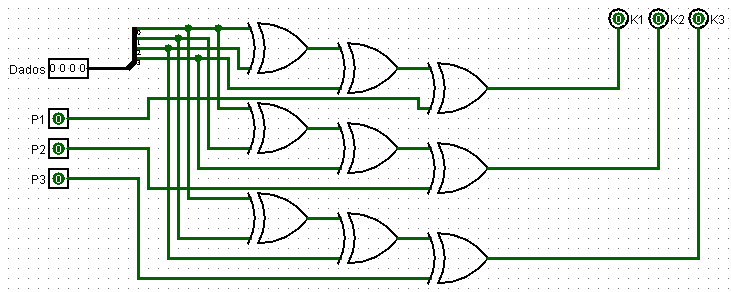
1. (5.0) Utilize um circuito multiplexador para construir um circuito que implemente a tabela verdade dada abaixo:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| |  |  |  |  |  | | --- | --- | --- | --- | --- | | **A** | **B** | **C** | **D** | **S** | | 0 | 0 | 0 | 0 | 1 | | 0 | 0 | 0 | 1 | 0 | | 0 | 0 | 1 | 0 | 0 | | 0 | 0 | 1 | 1 | 1 | | 0 | 1 | 0 | 0 | 0 | | 0 | 1 | 0 | 1 | 1 | | 0 | 1 | 1 | 0 | 1 | | 0 | 1 | 1 | 1 | 0 | | |  |  |  |  |  | | --- | --- | --- | --- | --- | | **A** | **B** | **C** | **D** | **S** | | 1 | 0 | 0 | 0 | 1 | | 1 | 0 | 0 | 1 | 0 | | 1 | 0 | 1 | 0 | 0 | | 1 | 0 | 1 | 1 | 1 | | 1 | 1 | 0 | 0 | 0 | | 1 | 1 | 0 | 1 | 1 | | 1 | 1 | 1 | 0 | 1 | | 1 | 1 | 1 | 1 | 0 | | |
|  | |

1. (5.0) Projete um demultiplexador de 1 entrada para oito saídas utilizando demultiplexador de 1 entrada para 4 saídas. Utilize quantos forem necessários.

|  |
| --- |
|  |

1. (5.0) Considere o circuito digital apresentado a seguir:



1. Este foi um dos circuitos combinacionais estudados em sala de aula. Qual a finalidade deste circuito?

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

1. Forneça uma descrição em VHDL que implementa o circuito acima:

|  |
| --- |
| library ieee;  use ieee.std\_library\_1164.all;  entity \_\_\_\_\_\_\_\_\_\_\_\_\_\_ is  end \_\_\_\_\_\_\_\_\_\_\_\_\_\_;  architecture \_\_\_\_\_\_\_\_\_ of \_\_\_\_\_\_\_\_\_\_\_\_\_\_ is  begin  end \_\_\_\_\_\_\_\_\_; |

1. (5.0) Implemente um circuito subtrator para números de 4 bits. Considere os seguintes fatos:

* Complemento de 2 é uma forma conveniente para representação de números negativos. Para se obter o complemento de 2 de um número qualquer invertemos todos os bits do número positivo e somamos 1;
* A subtração de um número A – B é equivalente a A+(-B). Desta forma podemos utilizar o complemento de 2 para obter o circuito subtrator com base apenas em inversores e somadores comuns.;
* A implementação apresentada pode ser sob a forma de portas lógicas, blocos lógicos ou descrição em VHDL.

|  |
| --- |
|  |

1. (5.0) Projete um circuito, utilizando **flip-flops JK**, que seja capaz de contar de 0-43.

|  |
| --- |
|  |

**“The scientists of today think deeply instead of clearly. One must be sane to think clearly, but one can think deeply and be quite insane.”**

**Nikola Tesla**