

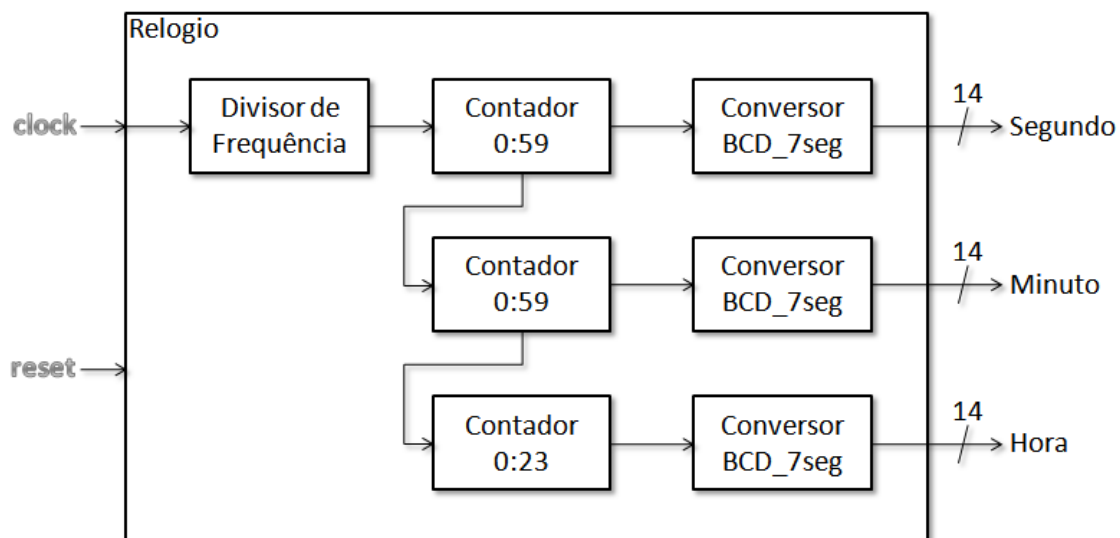
2º Trabalho de Sistemas Digitais

Orientações Gerais:

- Este trabalho será pontuado de 0 a 100 referente a 15% do conceito final do semestre;
- O trabalho deve ser desenvolvido em grupos de 2 (dois) ou 3 (três) alunos, invariavelmente;
- O trabalho deve ser apresentado ao professor em um dos seguintes dias:
 - 04/12 | 05/12 | 11/12 | ou 12/12;
- O trabalho deve ser totalmente escrito em VHDL;
- Comentários em VHDL (--) de todo o projeto são esperados e serão levados em consideração para fins de pontuação;
-

Descrição do Trabalho:

Neste trabalho o aluno deverá implementar em VHDL um relógio digital com precisão de segundos, ou seja, o sistema deve tomar como entrada um sinal de clock (com frequência de 50MHz) e produzir como saída o código para display de sete seguimentos de horas minutos e segundos (2 para horas, 2 para minutos e 2 para segundos), totalizando 42 bits de saída. Tal especificação se faz necessária pois o código pode ser testado em um kit DE2-115 durante a apresentação. O Diagrama a seguir apresenta uma possível estrutura hierárquica de entidades para a realização do trabalho (Note que naturalmente esta não é a única realização possível, apenas a mais simples que o professor idealiza. Realizações distintas serão consideradas igualmente).

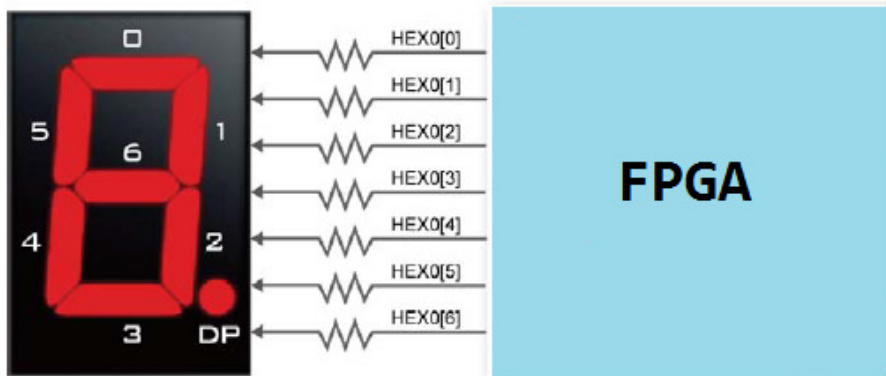


Faz-se necessário que na entidade <<Relogio>> (a top level entity do projeto) os sinais de entrada e saída sejam nomeados de acordo com a tabela abaixo para facilitar a sintetização.

senal	sz.	dir.	Id. na entidade
clock	1	IN	CLOCK_50
reset	1	IN	KEY[0]
segundo (MS)	7	OUT	HEX1[0] ~HEX1[6]
segundo (LS)	7	OUT	HEX0[0] ~HEX0[6]
minuto (MS)	7	OUT	HEX3[0] ~HEX3[6]
minuto (LS)	7	OUT	HEX2[0] ~HEX2[6]
segundo (MS)	7	OUT	HEX5[0] ~HEX5[6]
segundo (LS)	7	OUT	HEX4[0] ~HEX4[6]

Recomendações:

1. Os displays de 7 segmentos do KIT DE2-115 são anodo comum, ou seja, os leds acendem com nível lógico baixo (0) como vimos em um de nossos laboratórios;
2. Para fins de referência, considere a figura abaixo:



3. Entradas e saídas com delimitadores de indexação "[X]" são na realidade arrays. Realize-os como portas "std_logic_vector". O caso de KEY[0] é especial pois usamos apenas uma chave. Defina-o como
KEY : IN std_logic_vector(3 downto 0) ou
KEY : IN std_logic_vector(0 downto 0)
4. Os contadores são melhor realizados como contadores de 0:9, 0:5 e 0:2. Isto se dá porque o passo posterior, ou seja, a conversão de binário para sete segmentos é trivial se considerarmos o caso BCD→7seg em detrimento de Binário→7seg;
5. Para realizar o conversor de códigos binários BCD→7seg elabore a tabela verdade. Um exemplo encontra-se disponível nas notas de aula da disciplina.