



Roteiro 7 Testbenches em VHDL

Equipe:	
Matricula	Nome

1 Objetivos

- Aprender a projetar testbenches em VHDL;
- Aprender a depurar descrições VHDL.

2 Descrição do Problema

Neste roteiro projetaremos três descrições VHDL chamadas de Testbenches com o propósito de servirem como plataforma de testes para as descrições previamente implementadas no roteiro 4 e apresentadas abaixo.

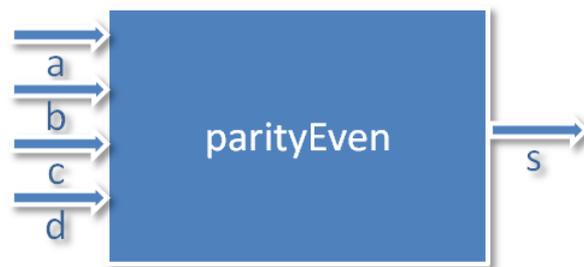


Figura 1 – diagrama esquemático da entidade `parityEven`



Figura 2 – diagrama esquemático da entidade `numOnes`

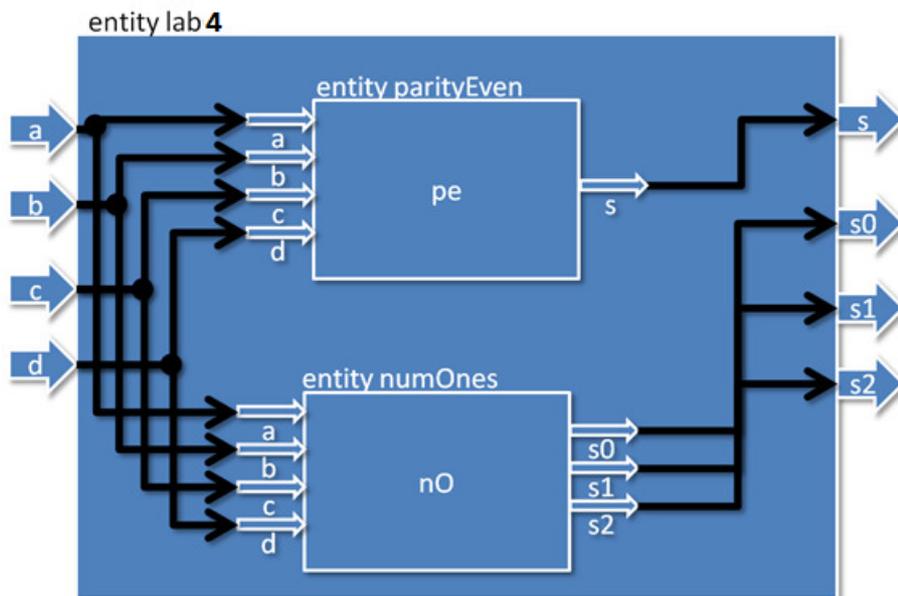


Figura 3 – diagrama esquemático da entidade `lab04`

Um exemplo de TestBench pode ser encontrado no link abaixo.

<https://vhdlguide.readthedocs.io/en/latest/vhdl/testbench.html>

Testbenches adicionais também podem ser encontrados no site do livro VHDL Learning by Examples <http://esd.cs.ucr.edu/labs/tutorial/>.

Abaixo eh apresentado

O "esqueleto" do subsistema parityEven é apresentado a seguir:

```
--declaração das bibliotecas
library ieee;
use ieee.std_logic_1164.all;

--declaração da entidade

entity tb_parityEven is
end entity parityEven;

--declaração da arquitetura
--Declaração dos sinais de teste, usualmente um para cada entrada
--e saída do componente a ser testado

--declaração do componente a ser testado
architecture tb of tb_parityEven is
begin
    -- instanciação da unidade a ser testada

    --lista de sensibilização de sinais e teste das saídas esperadas

end architecture comb;
```

pesquise sobre o comando "assert" previsto na linguagem VHDL e analise pelo menos três exemplos de sua utilização (nos exemplos do site VHDL by examples citado anterior).

A seguir escreva os três testbenches requisitados e os execute no software modelsim.

Boa Diversão Pessoal!