|  |  |
| --- | --- |
|  | **UNIVERSIDADE FEDERAL DE UBERLÂNDIA** |
| **FACOM – Faculdade de Computação** |
| **Curso** | Sistemas de Informação | **Período** | 2º | **ano** | **Semestre** |
| 2014 | 02 |
| **Disciplina** | GSI008 Sistemas Digitais | **Avaliação**  | 3 | **Valor** | 105,00 |
| **Professor (a)** | Dr. rer. nat. Daniel Duarte Abdala | **Data** | 25/02/2014 |
| **Aluno (a)** |  | **Nota** |  |
| **Matrícula** |  | **Vista em** | \_\_\_ /\_\_\_ / \_\_\_\_\_\_ | **Nota****Vista** |  |
|  |  |  **Assinatura**  |  |  |  |

Observações:

* Prova individual e sem consulta;
* Valor total 105 pontos, dos quais 100 referem-se a nota base da prova e 5 pontos a serem concedidos relativos a uma questão extra;
* A prova terá duração de 100 minutos a contar da leitura da prova;
* A interpretação faz parte da prova.
1. (30.0) Como vimos em sala de aula, podemos utilizar multiplexadores para construir qualquer função Booleana que desejemos. A ideia básica refere-se a ligar as entradas de dados do multiplexador diretamente ao terra ou alimentação (0 e 1 lógicos, respectivamente) e selecionar o canal via sinais de comutação (controle) do multiplexador.

Nesta questão você deve construir um decodificador de binário (4 bits, ou de 0H a FH) para sete segmentos (saídas de “a” a “g”). Acima apresentamos exemplos dos 10 primeiros caracteres. Gere esquemáticos como estes para os símbolos “A”, “B”, “C”, “D”, “E” e “F”. A seguir, utilize oito multiplexadores de 8 entradas para 1 saída cada para implementar o decodificador. Fique a vontade para responder a questão utilizando blocos lógicos (Mux 8x1) ou em VHDL.

1. (40.0) Um LFSR (Linear Feedback Shift Register) é um circuito digital capaz de gerar números pseudorrandômicos. Ele é construído utilizando-se um registrador de deslocamento. O bit a ser inserido no deslocamento a esquerda (ou direita) é obtido via a combinação dos bits armazenados nos registradores utilizando portas OU-EXCLUSIVO. Projete um circuito LSFR que gere números pseudorandômicos de 8bits. Construa o circuito supracitado utilizando lógica combinacional e blocks FF-JK ou utilize VHDL.
2. (30.0) Projete um contador binário assíncrono de 8 bits (ou seja, capaz de contar de 00H a FFH). Este circuito deve poder ser zerado, assincronamente. Sendo assim, inclua um sinal único de CLEAR que zere todos os flip-flops.

EXTRA: Build a schematic representation using to do so the three subsystems developed in this test. This new system should be able to generate pseudorandom numbers, decode them and show the results in a 7-segment display. It should also count the number of pseudorandom numbers generated once it is started.

“The Dark Side clouds everything!”

― Master Yoda