|  |  |
| --- | --- |
|  | **UNIVERSIDADE FEDERAL DE UBERLÂNDIA** |
| **FACOM – Faculdade de Computação** |
| **Curso** | Sistemas de Informação | **Período** | 2º | **ano** | **Semestre** |
| 2014 | 02 |
| **Disciplina** | GSI008 Sistemas Digitais | **Avaliação**  | Prova 2 | **Valor** | 105,00 |
| **Professor (a)** | Dr. rer. nat. Daniel Duarte Abdala | **Data** | 28/01/2014 |
| **Aluno (a)** |  | **Nota** |  |
| **Matrícula** |  | **Vista em** | \_\_\_ /\_\_\_ / \_\_\_\_\_\_ | **Nota****Vista** |  |
|  |  |  **Assinatura**  |  |  |  |

Observações:

* Prova individual e sem consulta;
* Valor total 105 pontos, dos quais 100 referem-se a nota base da prova e 5 pontos a serem concedidos relativos a uma questão extra;
* A prova terá duração de 100 minutos a contar da leitura da prova;
* A interpretação faz parte da prova.
1. (30) Dado o circuito abaixo, utilize o método de simplificação intitulado Mapas Veitch-Karnaugh para encontrar a expressão mínima.



F(A,B,C,D)= \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **F** | **mintermos** |
| 0 | 0 | 0 | 0 |  |  |
| 0 | 0 | 0 | 1 |  |  |
| 0 | 0 | 1 | 0 |  |  |
| 0 | 0 | 1 | 1 |  |  |
| 0 | 1 | 0 | 0 |  |  |
| 0 | 1 | 0 | 1 |  |  |
| 0 | 1 | 1 | 0 |  |  |
| 0 | 1 | 1 | 1 |  |  |
| 1 | 0 | 0 | 0 |  |  |
| 1 | 0 | 0 | 1 |  |  |
| 1 | 0 | 1 | 0 |  |  |
| 1 | 0 | 1 | 1 |  |  |
| 1 | 1 | 0 | 0 |  |  |
| 1 | 1 | 0 | 1 |  |  |
| 1 | 1 | 1 | 0 |  |  |
| 1 | 1 | 1 | 1 |  |  |



F’(A,B,C,D)= \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

1. (30) Recentemente, a empresa Junior da FACOM assinou um contrato para desenvolver um sistema de comunicação de dados que será instalado em uma rede de sensores existente no chão de fábrica da empresa contratante. Os alunos da disciplina GSI023 desenvolveram um protocolo de comunicação para a rede de sensores. No entanto, eles precisam, para terminar a pilha de protocolos, implementar em hardware reconfigurável um subsistema de controle de erros que fará parte da camada física do protocolo. Sendo assim, os alunos da disciplina GSI008 foram comissionados para desenvolver um sistema de controle de erros de paridade. Desenvolva em VHDL dois subsistemas. Um que codifique uma mensagem de 4 bits usando o código de Hamming( 7,4) e outro que receba uma mensagem de 7 bits, decodifique-a, corrija possíveis erros e forneça a informação de 4 bits recebida.

|  |
| --- |
| library ieee;use ieee.std\_logic\_1164.all;entity encoder is port( inData : in std\_logic\_vector (3 downto 0); outData : out std\_logic\_vector (6 downto 0) );end encoder;architecture a\_encoder of encoder isbeginend architecture a\_encoder; |

|  |
| --- |
| library ieee;use ieee.std\_logic\_1164.all;entity decoder is port( inData : in std\_logic\_vector (6 downto 0); outData : out std\_logic\_vector (3 downto 0); error : out std\_logic );end decoder;architecture a\_decoder of decoder is |

1. (40) Data a tabela abaixo que representa um circuito somador completo, forneça:
2. As expressões algébricas simplificadas para as saídas Cout e Sn. Apresente todos os cálculos;
3. O circuito digital (sob a forma de portas lógicas ou em VHDL combinacional) que implementa o somador completo;
4. Construa um somador de 4 bits utilizando o somador completo previamente projetado. Utilize o conceito de abstração e lide apenas com blocos lógicos;



a)



\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_



\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

|  |
| --- |
| b) |

|  |
| --- |
| c) |

EXTRA: (05) Construa um subtrator de 4 bits reaproveitando o somador projetado acima. Utilize qualquer outra lógica combinacional que julgares necessária.

|  |
| --- |
|  |

“The question of whether computers can think is like the question of whether submarines can swim.”

― Edsger W. Dijkstra