|  |  |
| --- | --- |
|  | **UNIVERSIDADE FEDERAL DE UBERLÂNDIA** |
| **Faculdade de Computação - Campus Santa Mônica** |
| **Curso** | Sistemas de Informação | **Período** | 2º | **ano** | **Semestre** |
| 2013 | 01 |
| **Disciplina** | GSI008 Sistemas Digitais | **Avaliação**  | Sub | **Valor** | 30,00 |
| **Professor (a)** | Dr. rer. nat. Daniel Duarte Abdala | **Data** | 23/09/2013 |
| **Aluno (a)** |  | **Nota** |  |
| **Matrícula** |  | **Vista em** | \_\_\_ /\_\_\_ / \_\_\_\_\_\_ | **Nota****Vista** |  |
|  |  | **Assinatura**  |  |  |  |

Observações:

* Prova individual e sem consulta;
* Valor total: 30 pontos;
* A prova terá duração de 100 minutos (20:50 ~ 22:30);
* A prova deve ser respondida a caneta azul ou preta;
* Não é Permitido o uso de calculadoras;
* Questões rasuradas serão anuladas;
* Desligue o celular;
* Responda somente as questões relativas a prova substituta que você está fazendo;
* A interpretação faz parte da prova.

**Prova Substitutiva 1**

1. (5.0) Converta os seguintes números para as bases indicadas:
2. 42710 → ?2
3. 101010102 → ?10
4. 424210 → ?H
5. 010101012 → ?H
6. CA1AD05H → ?2

|  |
| --- |
|  |

1. (5.0) Escreva a função Ā + (B⋅C) na forma de mintermos via manipulação algébrica.

|  |  |
| --- | --- |
| Ā + (B⋅C) | Propriedade |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

1. (5.0) Dada a seguinte função em soma de produtos (ĀB̄C̄D̄)+(ĀBCD)+(ĀB̄CD)+(ĀB̄C̄D)+(ABCD) forneça a mesma função na forma de produto de somas.

|  |
| --- |
|  |

1. (10.0) Dada a expressão abaixo, simplifique-a da maneira que melhor lhe convier. A seguir implemente utilizando portas lógicas ambas as versões original e simplificada.



|  |
| --- |
|  |

1. (5.0) Efetue a subtração dos seguintes números 001010102 e 000101002 utilizando a notação de complemento de 2.

|  |
| --- |
|  |

**Prova Substitutiva 2**

1. (5.0) O display de sete segmentos apresentado ao lado requer que um circuito decodificador seja projetado de modo que um número em binário seja corretamente apresentado. Complete a tabela abaixo na qual é listado sistematicamente quais segmentos devem ser habilitados (nível lógico 1) e quis devem estar desabilitados (nível lógico 0) de modo que os dígitos hexadecimais de 0-F sejam apresentados.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **a** | **b** | **c** | **d** | **e** | **f** | **g** |
| 0 | 0 | 0 | 0 |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 1 |  |  |  |  |  |  |  |
| 0 | 0 | 1 | 0 |  |  |  |  |  |  |  |
| 0 | 0 | 1 | 1 |  |  |  |  |  |  |  |
| 0 | 1 | 0 | 0 |  |  |  |  |  |  |  |
| 0 | 1 | 0 | 1 |  |  |  |  |  |  |  |
| 0 | 1 | 1 | 0 |  |  |  |  |  |  |  |
| 0 | 1 | 1 | 1 |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 0 |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 1 |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 0 |  |  |  |  |  |  |  |
| 1 | 0 | 1 | 1 |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 0 |  |  |  |  |  |  |  |
| 1 | 1 | 0 | 1 |  |  |  |  |  |  |  |
| 1 | 1 | 1 | 0 |  |  |  |  |  |  |  |
| 1 | 1 | 1 | 1 |  |  |  |  |  |  |  |

A seguir apresente os produtos das duas colunas destacadas e simplifique-as utilizando o método do mapa de Veitch-Karnaugh.

|  |
| --- |
| Soma de Produtos:a =  |
|  |
| Simplificação: |
| Soma de Produtos:g =  |
|  |
| Simplificação: |

A seguir construa o circuito decodificador apenas para as duas saídas simplificadas.

|  |
| --- |
|  |

1. (5.0) Utilize um circuito multiplexador para construir um circuito que implemente a tabela verdade dada abaixo:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **S** |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |

 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **S** |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

 |
|  |

1. (5.0) Projete um demultiplexador de 1 entrada para oito saídas utilizando demultiplexador de 1 entrada para 2 saídas. Utilize quantos forem necessários.

|  |
| --- |
|  |

1. (5.0) Crie uma descrição de hardware em VHDL que implemente um multiplexador de quatro entradas para uma saída para canais de 8 bits.

|  |
| --- |
| library ieee;use ieee.std\_library\_1164.all;entity \_\_\_\_\_\_\_\_\_\_\_\_\_\_ isend \_\_\_\_\_\_\_\_\_\_\_\_\_\_;architecture \_\_\_\_\_\_\_\_\_ of \_\_\_\_\_\_\_\_\_\_\_\_\_\_ isbeginend \_\_\_\_\_\_\_\_\_; |

1. (5.0) Forneça as tabelas-verdade, e circuitos para o meio somador e somador completo. A seguir, utilize os blocos construídos para implementar um somador de 8 bits.

|  |
| --- |
|  |

1. (5.0) Projete um circuito, utilizando **flip-flops JK**, que seja capaz de contar de 0-55.

|  |
| --- |
|  |

**“The scientists of today think deeply instead of clearly. One must be sane to think clearly, but one can think deeply and be quite insane.”**

**Nikola Tesla**